

(19) 世界知的所有権機関  
国際事務局(43) 国際公開日  
2005年3月31日 (31.03.2005)

PCT

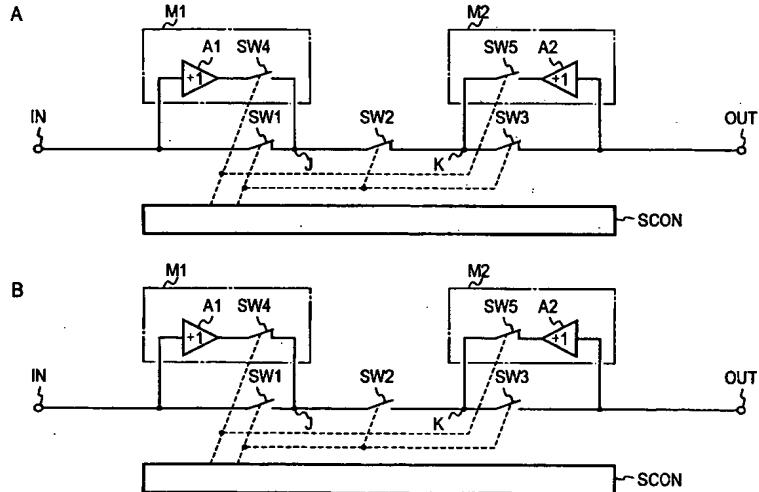
(10) 国際公開番号  
WO 2005/029702 A1

(51) 国際特許分類: H03K 17/00, G01R 31/28, 31/26  
 (72) 発明者: および  
 (21) 国際出願番号: PCT/JP2004/013460  
 (75) 発明者/出願人(米国についてのみ): 澤田 俊秋  
 (22) 国際出願日: 2004年9月15日 (15.09.2004)  
 (76) (SAWADA, Toshiaki) [JP/JP]; 〒1790071 東京都練馬区旭町1丁目32番1号 株式会社アドバンテスト内 Tokyo (JP).  
 (25) 国際出願の言語: 日本語  
 (74) 代理人: 草野 卓, 外(KUSANO, Takashi et al.); 〒1600022 東京都新宿区新宿三丁目1番22号 新宿NSOビル4階 Tokyo (JP).  
 (26) 国際公開の言語: 日本語  
 (30) 優先権データ:  
 特願2003-326549 2003年9月18日 (18.09.2003) JP  
 (81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR, BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, HR, HU, ID, IL, IN, IS, JP, KE, KG, KP, KR, KZ, LC, LK, LR, LS, LT, LU, LV, MA, MD, MG, MK, MN, MW, MX, MZ, NA,  
 (71) 出願人(米国を除く全ての指定国について): 株式会社アドバンテスト(ADVANTEST CORPORATION) [JP/JP]; 〒1790071 東京都練馬区旭町1丁目32番1号 Tokyo (JP).

[続葉有]

(54) Title: SEMICONDUCTOR SWITCH CIRCUIT

(54) 発明の名称: 半導体スイッチ回路



(57) Abstract: There is provided a semiconductor switch circuit configured as follows. A first, a second, and a third semiconductor switch connected in series are inserted between an input terminal and an output terminal. First and second voltage application means are connected in parallel to a first semiconductor switch connected to the input terminal and to a third semiconductor switch connected to the output terminal. Each of the voltage application means is constructed by a series-connected circuit consisting of: a DC amplifier having a gain set to about +1 and an input side connected to the input terminal and the output terminal; and a semiconductor switch for applying voltage. One end of the semiconductor switch for applying voltage is connected to a connection point J between the first and the second semiconductor switch or a connection point K between the second and the third semiconductor switch. Switch control means controls the first to the third semiconductor switch and the voltage applying semiconductor switch to ON state and OFF state in opposite mode. When the first to the third semiconductor switch are controlled to the OFF state, the first and the second voltage application means apply potentials of the input terminal and the output terminal to the connection points J and K.

(57) 要約: 入力端子と出力端子との間に第1、第2、第3半導体スイッチを直列接続して挿入し、入力端子に接続された第1半導体スイッチ及び出力端子に接続された第3半導体スイッチのそ

[続葉有]

WO 2005/029702 A1



NI, NO, NZ, OM, PG, PH, PL, PT, RO, RU, SC, SD, SE, SG, SK, SL, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, YU, ZA, ZM, ZW.

(84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IT, LU, MC, NL, PL, PT, RO, SE, SI, SK, TR), OAPI (BF,

BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

添付公開書類:  
— 國際調査報告書

2文字コード及び他の略語については、定期発行される各PCTガゼットの巻頭に掲載されている「コードと略語のガイダンスノート」を参照。

---

それぞれに第1、第2電圧印加手段を並列接続し、それぞれの電圧印加手段を、利得が約+1の状態に設定され、入力側が入力端子及び出力端子に接続された直流増幅器と、電圧印加手段用半導体スイッチとの直列接続回路で構成し、この電圧印加手段用半導体スイッチの一端を第1と第2半導体スイッチの接続点Jまたは第2と第3半導体スイッチの接続点Kに接続し、スイッチ制御手段が第1～第3半導体スイッチと電圧印加手段用半導体スイッチを逆モードでをオン及びオフ状態に制御し、第1～第3半導体スイッチがオフ状態に制御されたときに、第1及び第2電圧印加手段が入力端子及び出力端子の電位を接続点J及びKに印加するように構成した半導体スイッチ回路。